

江苏大学

硕士研究生入学考试样题

A 卷

科目代码: 850

科目名称: 计算机组成原理

满分: 150 分

注意: ①认真阅读答题纸上的注意事项; ②所有答案必须写在答题纸上, 写在本试题纸或草稿纸上均无效; ③本试题纸须随答题纸一起装入试题袋中交回!

一、单项选择题, 1~10 小题, 每小题 2 分, 共 20 分。下列每题给出的四个选项中, 只有一个选项是最符合题目要求的。

1. 计算机硬件能够直接执行的是 ()
I. 机器语言程序 II. 汇编语言程序 III. 硬件描述语言程序
A. 仅 I B. 仅 I、II C. 仅 I、III D. I、II、III
2. 设 $[X]_{补} = 11101000$, 其算术右移后的结果为 ()
A. 01110100 B. 11110100 C. 10110100 D. 11010001
3. 关于加法运算时溢出标志 OF 和进位标志 CF, 下列说法正确的是 ()
A. OF=1 时表示无符号数加法运算溢出
B. OF=1 且 CF=1 时表示无符号数加法运算溢出
C. OF=1 时表示有符号补码数加法运算溢出
D. 无论有符号数还是无符号数, OF=1 时表示加法运算溢出
4. 下列存储器中, 在工作期间需要周期性刷新的是 ()
A. SRAM B. SDRAM C. ROM D. FLASH
5. 采用虚拟存储器的主要目的是 ()
A. 提高主存储器的存取速度
B. 扩大主存储器的存储空间, 并能自动管理和调度
C. 提高外存储器的存取速度
D. 扩大外存储器的存储空间
6. 下列设备中 () 使用了非易性半导体存储器。
I. SSD II. 光盘 III. SD 卡 IV. U 盘
A. 仅 I、II B. 仅 III、IV C. 仅 I、III、IV D. 仅 IV
7. 直接寻址是指 ()
A. 指令中直接给出操作数地址 B. 指令中直接给出操作数
C. 指令中间接给出操作数 D. 指令中间接给出操作数地址
8. 以下关于 RISC 的描述正确的是 ()
A. 支持的寻址方式更多 B. 指令长度不固定 C. 指令条数多
D. 只有取指/存数指令访问存储器, 其余指令的操作均在寄存器之间
9. CPU 响应 DMA 请求的条件是当前 () 执行完
A. 机器周期 B. 总线周期 C. 指令周期 D. 中断响应周期
10. 在采用中断 I/O 方式控制打印输出的情况下, CPU 和打印控制接口中的 I/O 端口之

间交换的信息不可能是 ()

- A. 打印字符 B. 主存地址 C. 设备状态 D. 控制命令

二、简答题, 11~15 小题, 每小题 6 分, 共 30 分。

11. 某机器字长 16 位, 转移指令采用相对寻址, 由两个字节组成, 第一个字节为操作码字段, 第二个字节为相对位移量字段, 转移后的目标地址等于转移指令下一条指令的地址加相对位移量。若某转移指令所在的主存地址为 2000H, 相对位移量字段的内容为 06H, 试问: 若主存按字节编址, 则该转移指令成功转移后的目标地址是多少? 若主存按字编址, 则该转移指令成功转移后的目标地址又是多少?
12. 假设某计算机的 CPU 主频为 80MHz, CPI 为 4, 平均每条指令访问存储器 2 次, Cache 的命中率为 99%。试问: 该计算机的 MIPS 数是多少? 平均每秒 Cache 不命中的次数是多少?
13. 指令流水线中的数据相关是指什么? 为了不造成流水线阻塞, 硬件上可采取什么技术解决数据相关?
14. 假设指令字长为 16 位, 地址码长度为 5 位, 指令有零地址、一地址、二地址 3 种格式。假设采用定长操作码, 如果零地址指令有 M 条, 一地址指令有 N 条, 则二地址指令最多可有多少条? 如果采用变长操作码的操作码扩展技术, 二地址指令最多可有多少条?
15. 中断周期的前一个周期和中断周期之后的周期分别是 CPU 的什么工作周期?

三、综合应用题, 16~19 小题, 共 100 分。

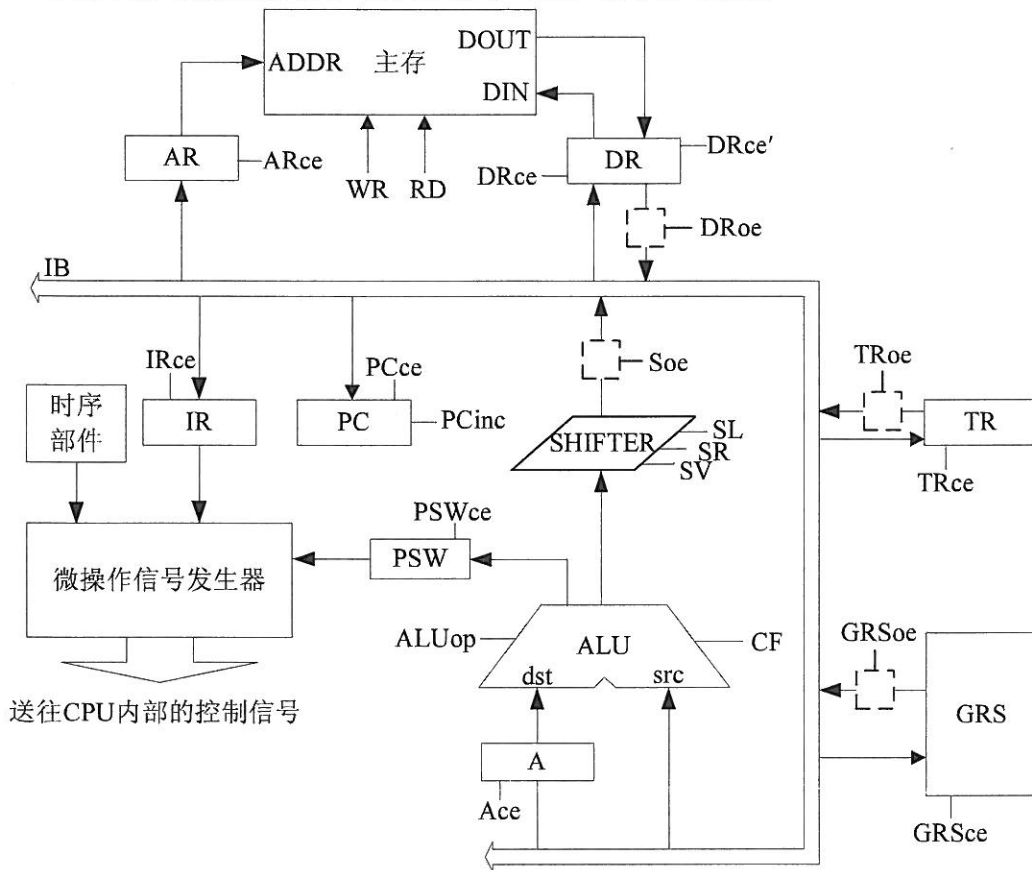
16. (15 分) 设浮点数字长为 12 位, 格式如下。

阶码 (移码表示)	尾数 (补码表示)
4 位 (含 1 位符号)	8 位 (含 1 位符号)

设 $X = -0.101011 \times 2^{-10}$, $Y = -0.110111 \times 2^{-100}$ 。

- (1) 按照上述浮点数格式写出 X、Y 的机器数。
- (2) 按浮点加减运算方法求解 $X - Y$ 。舍入采用末位恒置 1 法。
17. (35 分) 某计算机主存容量为 $1M \times 8$ 位, 按字节编址, 由若干个 $64K \times 8$ 位的芯片组成。主存—高速缓冲存储器采用组相联映像方式, 高速缓存容量为 8KB, 每一组包含 4 块, 块大小为 256B。
- (1) 需要多少个 $64K \times 8$ 位的存储器芯片? 地址为 2B4F0H 的主存单元所在芯片的最小地址是多少 (用十六进制表示)? 给出解题过程。
- (2) 高速缓存分多少组? 主存每区包含多少块? 画出反映主存与高速缓存映像关系的主存和高速缓存的地址分段, 注明各段的名称和位数。
- (3) 地址变换表 (TAG) 应包括多少个存储单元? 每个单元几位? 说明理由。
- (4) 当 CPU 访问地址为 2B4F0H 的主存单元时, 如果该单元所在块已经装入高速缓存, 那么它必定在高速缓存的哪个范围? 高速缓存的地址变换机构如何判定该单元是否已装入高速缓存中?
18. (30 分) 某计算机的数据通路如图, GRS 是通用寄存器组, TR 暂存源操作数。图中 Xce 和 Xoe 分别是寄存器的输入和输出控制信号; ALU 能够完成五种算术逻辑运算, 包括加法 (ADD)、减法 (SUB)、与 (AND)、或 (OR)、非 (NOT); SHIFTER

可以对输入数据进行保存 (SV)、左移 (SL) 或右移 (SR)。



送往CPU内部的控制信号

假设某指令的微操作序列如下：

IF (取指令)

- T0 PCoe, ARce
- T1 RD, DRce'
- T2 ①, ②, PCinc
- T3 1→SOF

SOF (取源操作数)

- T0 PCoe, ARce
- T1 RD, DRce'
- T2 DRoe, TRce, PCinc
- T3 1→DOF

DOF (取目的操作数)

- T0 GRSoe, ARce
- T1 RD, DRce'
- T2 DRoe, Ace
- T3 1→EXE

EXE (执行)

- T0 TRoe, SUB, SV, PSWce

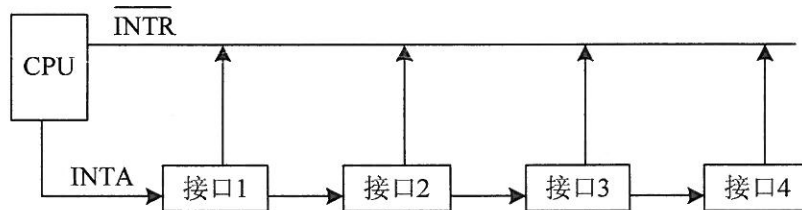
T1 Soe, DRce
 T2 WR
 T3 END

- (1) 图中虚线框代表的元件（即控制信号 DRoe、Soe、TRoe、GRSoe 所控制的逻辑元件）应该是什么，写出它的名称和逻辑特性。为什么在寄存器输出和内部总线之间必须使用这种逻辑元件？
- (2) 题目中取指令阶段留空了①、②两个微操作，根据数据通路图写出这两个微操作的符号。
- (3) 根据给出的微操作序列，该指令源操作数的寻址方式的中文名称是什么？目的操作数的寻址方式的中文名称是什么？
- (4) 假设该 CPU 控制器采用微程序控制，微指令的微命令部分（不包括下地址信息）共 13 位，划分为 5 个字段，各字段位数如下：

F0	F1	F2	F3	F4
(3 位)	(3 位)	(3 位)	(2 位)	(2 位)

试根据微命令的相斥、相容性，给出一种具体的微命令分配方案。

19. (20 分) CPU 与 4 个设备接口的连接如下图所示，4 个接口从左到右依次是接口 1、接口 2、接口 3 和接口 4。



- (1) 根据图写出 4 个设备的中断响应顺序；
- (2) 若中断处理优先级从高到低依次是 $2 > 4 > 3 > 1$ ，设备 3 的中断屏蔽字如何设置？
- (3) 若 CPU 在执行主程序的某一时刻，4 个设备同时发出中断请求，在下图的基础上，试画出 CPU 的处理过程。

