

江苏大学
硕士研究生入学考试样题

A 卷

科目代码: 850

科目名称: 计算机组成原理

满分: 150 分

注意: ①认真阅读答题纸上的注意事项; ②所有答案必须写在答题纸上, 写在本试题纸或草稿纸上均无效; ③本试题纸须随答题纸一起装入试题袋中交回!

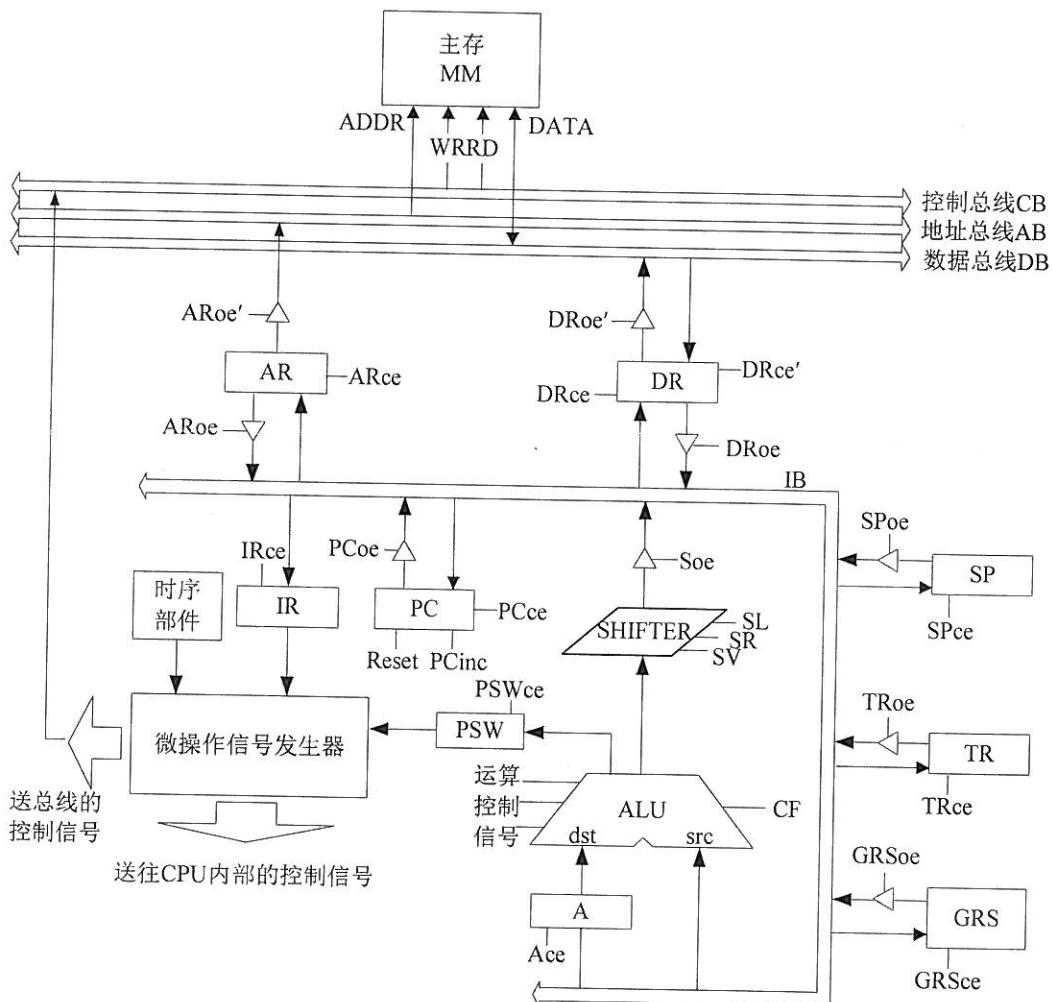
一、单项选择题, 1~10 小题, 每小题 2 分, 共 20 分。下列每题给出的四个选项中, 只有一个选项是最符合题目要求的。

1. 若一台计算机的机器字长为 4 个字节, 则表明该机器 ()。
 - A. 能处理的数值最大为 4 位十进制数
 - B. 能处理的数值最多为 4 位二进制数组成
 - C. 在 CPU 中能够作为一个整体处理 32 位二进制代码
 - D. 在 CPU 中运算的结果最大为 2^{32}
2. 设寄存器位数为 8 位, 机器数采用补码表示 (含 1 位符号位)。对应于十进制数-27, 寄存器内容为 ()。
 - A. 27H
 - B. 9BH
 - C. E5H
 - D. C6H
3. 存储器进行连续的两次读写操作所需的时间间隔称为 ()。
 - A. 存取时间
 - B. 存取周期
 - C. CPU 周期
 - D. 机器周期
4. 下列有关 RAM 和 ROM 的叙述中, 正确的是 ()。
 - I. RAM 是易失性存储器, ROM 是非易失性存储器
 - II. RAM 和 ROM 都采用随机存取方式进行信息访问
 - III. RAM 和 ROM 都可以用作 Cache
 - IV. RAM 和 ROM 都需要刷新
 - A. 仅 I 和 II
 - B. 仅 II 和 III
 - C. 仅 I、II、III
 - D. 仅 II、III、IV
5. 采用虚拟存储器的主要目的是 ()
 - A. 提高主存储器的存取速度
 - B. 扩大主存储器的存储空间, 并能自动管理和调度
 - C. 提高外存储器的存取速度
 - D. 扩大外存储器的存储空间
6. 指令系统中采用不同寻址方式的主要目的是 ()
 - A. 实现程序控制和快速查找存储器地址
 - B. 缩短指令长度, 扩大寻址空间, 提高编程灵活性
 - C. 可以直接访问主存和外存
 - D. 降低指令译码难度
7. 下列关于 RISC 的叙述中, 错误的是 ()
 - A. RISC 普遍采用微程序控制器
 - B. RISC 大多数指令在一个时钟周期内完成

- C. RISC 的内部通用寄存器数量相对 CISC 多
 D. RISC 的指令数、寻址方式和指令格式种类相对 CISC 少
8. I/O 的编址方式为统一编址时，存储单元和 I/O 设备是靠（ ）来区分的。
 A. 不同的地址线 B. 不同的地址码
 C. 不同的控制线 D. 都不对
9. DMA 方式的数据交换不是由 CPU 执行一段程序完成，而是在（ ）之间建立一条逻辑上的直接数据通路，由 DMA 控制器控制实现的。
 A. CPU 与主存之间 B. I/O 设备与 I/O 设备之间
 C. I/O 设备与 CPU 之间 D. I/O 设备与主存之间
10. 一个磁盘的转速为 7200 转/分，每个磁道有 160 个扇区，每扇区有 512 字节，那么理想情况下，其数据传输率为（ ）。
 A. $7200 \times 160 \text{KB/s}$ B. 19200KB/s
 C. 9600KB/s D. 都不对
- 二、简答题，11~15 小题，每小题 6 分，共 30 分。**
11. 设计算机 A 主频为 100MHz，采用定长机器周期。每个机器周期 4 个节拍，每个节拍 4 个时钟周期，一个指令周期平均包含 5 个机器周期。试问该计算机的平均指令周期和 MIPS 分别是多少？现另有一计算机 B 主频为 200MHz，其它条件与 A 一致，则计算机 A 与 B 谁的 CPI 更高？说明理由。
12. 计算机中的浮点数为什么要采用规格化形式？假设某计算机浮点数机器码的格式如下所示，尾数采用 16 位补码（1 位数符，15 位数值），阶码采用 8 位补码（1 位阶符，7 位数值），基数为 2。
- | | | | |
|----|-------|----|-------|
| 尾符 | 尾数数值位 | 阶符 | 阶码数值位 |
|----|-------|----|-------|
- 已知浮点数真值为 $-0.110001101000100 \times 2^{+1001101}$ ，写出该浮点数的机器码（用十六进制表示）。
13. 用若干个 $64K \times 8$ 位的存储芯片组成 $256K \times 16$ 位的主存储器，需要多少个存储芯片？为了将它们与 CPU 连接，需要使用一个地址译码器，CPU 的哪些地址线连接到该地址译码器的输入端？译码器的每个输出所对应的主存地址范围是多少（用十六进制表示）？
14. 在一个 4 级中断系统中，硬件中断响应从高到低优先顺序是 1、2、3、4，在中断服务程序中设置中断屏蔽寄存器后，中断服务的优先顺序变为：4、1、2、3。试写出#2 中断服务程序中设置的中断屏蔽字（中断屏蔽字的排列顺序是 $M_4M_3M_2M_1$ ，1 为屏蔽）。如果 CPU 在执行一段应用程序时有#2、#3、#4 的中断请求同时到达，哪一个中断请求首先被响应？哪一个中断先处理完成？
15. 微程序控制的基本思想是什么？和硬布线控制相比，有什么优点和不足？微指令编码采用字段直接编码方式时，分段的基本原则是什么？
- 三、综合应用题，16~20 小题，共 100 分。**
16. (24 分) 某一 8 位字长的运算器其通用寄存器组中有 4 个寄存器 (R0~R3)，其中寄存器 R0 的内容为 $(01100110)_2$ ，寄存器 R1 的内容为 $(10110100)_2$ 。假设用该运算器进行运算 $(R0)+(R1) \rightarrow R2$ 和 $(R0)-(R1) \rightarrow R3$ ，运算结果的特征 NF (负标志)、ZF (零标志)、OF (溢出标志) 和 CF (进位标志) 存放在程序状态字 PSW 中。试问：

- (1) 运算完成后, R2 和 R3 寄存器的内容是多少 (用二进制表示)? 加法运算后 PSW 的四个标志位的值分别是什么? 减法运算后 PSW 的四个标志位的值分别是什么?
- (2) 如果将运算数和运算结果看作无符号数, R0、R1、R2、R3 的真值分别是多少 (用十进制表示)? 程序员应根据哪个标志位判断是否溢出? 上述加法和减法运算结果是否溢出?
- (3) 如果将运算数和运算结果看作补码表示的有符号数, R0、R1、R2、R3 的真值分别是多少 (用十进制表示)? 程序员应根据哪个标志位判断是否溢出? 上述加法和减法运算结果是否溢出?
- (4) 上述无符号整数和带符号整数加、减运算可以用同一个加法器及辅助电路实现, 画图表示并作简要说明。

17. (26 分) 某 16 位计算机的数据通路如图, 存储器字长 16 位, 按字节编址。指令运行过程中, 取到的源操作数暂存在 TR 中, 目的操作数暂存在 A 中。



现有一条加法指令存放在从地址为 0102H 开始的内存单元中, 其中源操作数为寄存器寻址 (寄存器为 R0), 目的操作数为相对寻址, 相对偏移量以补码形式存放在指令的

第二个字。假设 R0 寄存器的当前内容为 A900H，部分主存单元的内容如下表（表中数值均为十六进制）。

地址	内容
0100	CB00
0102	A601
0104	FFFA
0106	E805

- (1) 根据给出的主存单元内容写出该指令第一个字的机器码（以十六进制形式）。
- (2) 根据给出的主存单元内容写出该指令的相对偏移量数值（以十进制形式）。
- (3) 假设 CPU 现在开始进入该指令的取指令阶段，取指令过程中数据通路图中哪些寄存器内容会被改变？写出取指令结束时这些寄存器的值（以十六进制形式）。
- (4) 写出取源操作数结束时变化的寄存器的值（以十六进制形式），并说明理由。
- (5) 写出取目的操作数结束时变化的寄存器的值（以十六进制形式），并说明理由。
- (6) 写出执行结束时哪些寄存器和主存单元的内容发生了变化（无需写出其数值）？

18. (30 分) 一个由 Cache 和主存组成的两级存储体系，主存容量为 64KB，按字节编址；主存和 Cache 之间交换块的大小是 32 字节，采用直接映像方式，Cache 有 8 块；系统运行到某一时刻时，Cache 已经被装满，TAG 内容如下表。

块号	TAG
0	00H
1	20H
2	02H
3	00H
4	15H
5	22H
6	00H
7	02H

请回答下面问题：

- (1) 画出反映主存与高速缓存映像关系的主存和高速缓存的地址分段，注明各段的名称和位数；简要说明各段位数的计算依据。
- (2) 如何判断要访问的单元是否在 Cache 中？访问地址 0075H 时是否 Cache 命中（要求说明理由）？若命中，在 Cache 的哪个块？
- (3) 若此时系统继续运行，访问主存的地址顺序如下：1000H、1002H、1004H、024AH、027CH、0268H、205EH、2060H，试问访问哪些地址时 cache 没有命中（要求说明理由）？写出最后的 TAG 内容；并计算这 8 次访问的 Cache 命中率。

19. (12 分) 某指令流水线中，指令周期被分成取指令、指令译码、执行计算、存储器访问和结果写回寄存器五个阶段。

- (1) 若以上 5 个阶段的实际处理时间分别是 50ns、60ns、55ns、80ns 和 40ns，当采用各段时间相等的方式设计流水线时，则该指令流水线的时钟周期最小应是多少？

- (2) 加速比和吞吐率的含义是什么？上述流水线充满后理想情况下的加速比和吞吐率是多少？
- (3) 指令流水线中的数据相关是指什么？为了不造成流水线阻塞，硬件上可采取什么技术解决数据相关？
20. (8 分) 假定某输入设备的数据传输率为 0.5MB/s ，总线宽度为 1 个字节，为保证数据不丢失，每隔多长时间就要传输一次数据？假设计算机的平均指令周期为 50ns ，如果采用定时查询方式与该外设进行数据传输，查询输入程序包含 10 条指令，则 CPU 用于该设备的时间占整个 CPU 时间的百分比至少是多少？
【以下空白】